

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representation of  
The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-332583

(43)Date of publication of application : 02.12.1994

(51)Int.Cl. G06F 1/26  
G06F 1/32  
G06F 1/04

(21)Application number : 05-122976 (71)Applicant : SHARP CORP

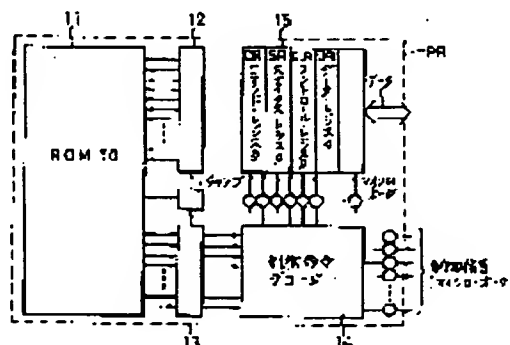
(22)Date of filing : 25.05.1993 (72)Inventor : YOSHIDA YUKIHIRO

(54) POWER CONTROLLER FOR DIGITAL ELECTRONIC EQUIPMENT, PROCESSOR WITH THE POWER CONTROLLER, AND POWER MANAGEMENT SYSTEM FOR DIGITAL ELECTRONIC EQUIPMENT WITH THE PROCESSOR

(57)Abstract:

PURPOSE: To control the power of a digital electronic equipment by a logic system means by providing a control means which decodes the encoded power management instruction and outputs a control signal based on the decoded power management instruction.

CONSTITUTION: A program storage section 11 outputs an instruction program written in a ROM 10 based on the micro order from a control instruction decoder 14. An address counter 12 accesses to the ROM 10 and a control instruction register 13 stores the instruction program written in the ROM 10. The control instruction decoder 14 decodes the instruction stored in the register 13 and outputs the micro order to an I/O controller and a register group 15. The register group 15 is provided with a register storing the instruction and data of power management to be given to the individual control part PR of the CPU and the instruction and data of power management which is given to the individual instruction control part PR for I/O controller.



(19) 日本国特許庁 (JP)

(11)轉許出讓公開番号

特開平6-332583

(43)公開日 平成6年(1994)12月2日

(51)Int.Q.*	製品記号	片内管理番号	P I	技術表示箇所
G 0 6 F				
1/28				
1/32				
1/04	3 0 1 C	7 165-5B	G 0 6 F 1/00	3 9 4 H
		7 165-5B		3 3 2 B
		7 165-5B		
				等圧増設 未増設 増設項の量 5 OL (全 45 頁) 最終頁に添く

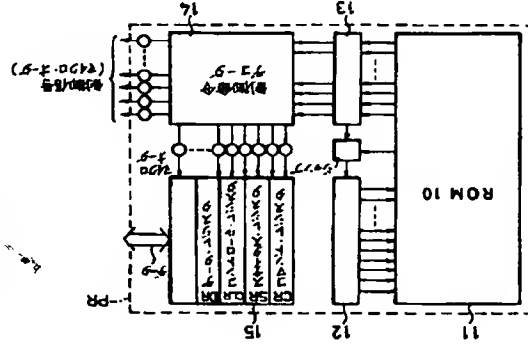
(21) 出願番号 特願平5-12378  
(22) 出願日 平成5年(1993)5月25日  
(71) 出願人 00005049 シヤープ株式会社  
大阪府大阪市阿倍野区長池町2番22号  
(72) 発明者 吉田 智弘  
大阪府大阪市阿倍野区長池町2番22号 シヤープ株式会社内  
(74) 代理人 伊藤士 川口 義雄 (外1名)

(54) 【発明の名】  
デジタル電子機器用電力制御装置、及び該制御装置を備えたデジタル電子機器用電力制御システム

(57) 【要約】

【目的】 システム全体の消費電力を低減でき、自由度が高いデジタル電子機器用電力管理装置を提供する。

【構成】 符号化された電力マナー・ジェネレーション命令を出力して記憶すると共に復号された電力マナー・ジェネレーション命令に基づいて制御信号を出力する制御手段を備えている。





(5)

た、リアルタイムクロックの最優先の割込を除いて、待機キー、復帰キー等のスペシャル・キー-SK（後述する）の割込をいつでも受付けることができる。

【0041】図4は、待機キー、復帰キー等のスペシャル・キー-SKや電源スイッチにより電源がフルパワー及びDCバイアスに変化したときの電圧の動作を示す。

【0042】この電圧の動作は、CPUや各I/Oコントローラの状態により、時間的にそれぞれ異なっているが、システムの状態によっては、CPUや各I/Oコントローラもシステムの状態と同一になる場合がある。

【0043】図5は、システムの移行変りを示す状態図である。システムには各種の割込が発生するが、それぞれの割込に優先順位をつける。優先順位はシステムのアプリケーションによって異なるが、本実施例では次のように設定する。

【0044】

優先順位1 リアルタイムクロックイベント  
優先順位2 スペシャル・キー-SK入力（待機/復帰イベント）

優先順位3 タイマイベント

優先順位4 通信イベント

優先順位5 メモリ転送（DMA）イベント

優先順位6 その他（同順位）イベント

本実施例では多重割込はないものとするが、多重割込を許すシステムでも、前述した優先順位を設けることにより、個別制御部PRを用いた分散パワーマネージメント方式によるシステムを形成できる。

【0045】システムの状態には、電源投入時のシステムが初期化されるイニシャルイズの状態、システムが演算等を実行した後のデイスプレイズ入力待ちを示す待機状態、システムがデータ処理中であることを示す実行状態、および上述した割込によって起る待機状態がある。

【0046】図5は、システムのイベントによる状態の変化を示す。

【0047】例えば、リアルタイムクロックは、最も優先度が高いが、時刻をいつでも表示するような場合、システムは常にリアルタイムクロックの割込要求を受け付け表示しなければならない。これは図5では復帰イベントに相当する。また、時刻が何時何分になればシステムを待機状態に設定するような場合は、図5では待機イベントに相当する。

【0048】通信イベントでは、受信データの受信要求は、システムは常に非同期に起り、割込優先度は高い方にもっとくるのが普通であるが、データ長が決まっているので1フレームの受信とする。完全な受信は、受信要求をシステムが受ける。これは、図5では復帰イベントに相当する。

【0049】スペシャル・キー-SKによる入力イベントは、システムの利用者が人為的に、システムを待機状態

にした実行状態にした。つまり、各端子A i、B iはパワー・コントロールに含まれているB i-CMO S集積回路に接続されている。

【0050】タイマ・イベントは、システムが待機状態にあるとき、一定時間が経過すれば表示装置の表示を消すとか、システムを待機状態にするとか、待機状態から待機状態にする時間的事件である。

【0051】上述したことは状態遷移の一例であり、システムのアプリケーションによって多様なイベントがある。

【0052】システム全体及びシステムを構成するCPUや各I/Oコントローラは、それぞれの個別制御部PRにより、待機イベントが図5に示す待機状態（即ち、システムスタンバイ（DCバイアスモード））を生み出すことができる。

【0053】以下、本実施例のシステムに用いられている電力コントロール回路、CPU、各I/Oコントローラ、及び各メモリについて詳述する。

【0054】図6は、電力コントロール回路PCCの一例構成例を示す。

【0055】図6の電力コントロール回路PCCは、2つのトランジスタからなり、P1/Oのパワーコントロールポートから出力される信号A、Bが各トランジスタのベース入力端子A、Bにそれぞれ入力される。

【0056】なお、システムのアプリケーションによってトランジスタの数は変化する。また、トランジスタを個々に用いてもよいし、トランジスタをIC化して用いてもよい。

【0057】図7は、図6の電力コントロール回路PCCを用いたシステムの一例構成例を示す。

【0058】図7に示すように、図6の電力コントロール回路PCCは、CPUや各I/Oコントローラにそれぞれ個々に接続されており、P1/Oのパワーコントロールポートから出力されるフルパワーにするための信号Bが2つのトランジスタのベースにそれぞれ入力され、CPUや各I/OコントローラをフルパワーまたはDCバイアスレベルに設定する。

【0059】パワーマネージメントによってCPUや各I/Oコントローラは電源をスイッチングする電力コントロール回路PCCは、B i-CMOS技術によってパワーコントロール部内に集積回路化して内蔵させることができる。

【0060】図8は、図6及び図7の具体的な構成を示す。

【0061】外部に設けられたパワー・コントロールとPCCの端子A i、B iとは、パワー・コントロールに含まれているトランジスタ回路部によって接続されており、オン電流、オフ電流は端子A i、B iとパワー・コントロールとの間を図8に示す方向にそれぞれ流れる。

【0062】図8に示すように、端子A i、B iにはト

(6)

ランジスタがそれぞれ配置されており、各端子A i、B iはパワー・コントロールに含まれているB i-CMOS集積回路に接続されている。

【0063】なお、図中、端子A i、B iは図6の端子A、Bにそれぞれ対応している。

【0064】図9及び図10は、個別制御部PRを示す並列出力（P1/O）コントロールの一例構成例を示す。

【0065】図9に示すように、P1/Oコントロールの個別制御部PRから出力されたマイクロ・オーダは、P1/Oコントロールを構成する第1及び第2グループ・コントロール、コマンド・レジスタ、第1〜第4ポートの各制御ゲートCGに入力される。

【0066】次に、図10のP1/Oコントロールの個別制御部PRに含まれている各レジスタの動作を説明する。

【0067】コマンド・レジスタやデコータ・レジスタには、システムの電源投入時P1/Oの個別制御部PRが実行するパワーマネージメントの命令やデータが後述する表1の各モードを実行処理するためにコード化されて入力されている。

【0068】ステータス・レジスタには、個別制御部PRがパワーマネージメントをしているステータスの情報があり、個別制御部PR自体のコントロールによって入力される。このステータス情報は、パワーマネージメントを行っているか否かの情報、各モードの識別、及び各モードの処理の実行ステータスがコード化されている。

表1 P1/Oのパワーマネージメントモード(M)

	イニシャルイズ	待機	実行	待機	Δ: 割込
クロック		0			
クロックストップ		Δ		0	
マシンスタートセット			Δ		0
DCバイアスモード			Δ		0
タイムアウト			0		
パワーオン	0	0	0		0
パワーオフ					
デイスプレイズモード				0	
ハイブリッドパワーオフ	0			Δ	

1 印は電源がパワーオフではなく待機状態のパワーオフである。

【0077】ここで、表1の各項目を説明する。

【0078】クロックダウンは、P1/O内のクロック周波数を複数段階で下げ、周波数を下げる。クロックストップは、P1/O内のクロックを停止させる。マシンスタートセットは、P1/O内の状態を一時記憶する。DCバイアスモードは、電源をコントロールしてP1/Oの電源をDCバイアスレベルにする（P1/Oの個別制御部PRが実行）。タイムアウトは、設定されたタイムアウトになればP1/OはDCバイアスモードに入る（P

【0069】コントロール・レジスタには、タイムアウトの安定値やクロックダウン時の割込割込が入力されている。

【0070】P1/Oの個別制御部PRは、各ポートのコントロール、各レジスタの入出力のコントロールに使用されるマイクロオーダを出力する。更に、P1/Oの個別制御部PRは、後述する並列出力（S1/O）コントロールやリアル・タイム・クロック（RTC）等のシステムを構成するP1/O以外の構成部分の電源をコントロールするマイクロオーダをも出力する。

【0071】P1/Oコントロールは、CPUとバス接続されてプリンタインターフェイス等に用いられ、プログラマブルパラレルデータの入出力を行う。

【0072】図11は、P1/Oの状態の移行変りを示す。

【0073】図11に示すように、P1/Oの状態は、上述した図5のシステム全体の状態と同様であるが、時間的に異なる。図11は、システムが実行状態にあってもプリント出力がないような状態であり、P1/Oは待機状態にある。

【0075】次に、システムの中で、各状態におけるP1/Oの個別制御部PRが論理的に実行する論理的なパワーマネージメントの一例を表1に示す。これはシステムのアプリケーションにより異なる。

【0076】

【表1】

1/Oの個別制御部PRが実行）。デイスプレイズモードは、表示の電源をコントロールして遮断する。バックライトパワーオフは、液晶表示（LCD）のバックライトの電源を遮断する等である。

【0079】図12及び図13は、個別制御部PRを有する中央処理装置（CPU）の一構成例を示す。

【0080】図12に示すように、CPUの個別制御部PRから出力されたマイクロ・オーダは、CPUを構成するレジスタ/論理演算装置（ALU）制御部に入力さ

(7)

れる。

【0081】次に、図13に示すCPUの個別制御PR Rに含まれている各レジスタ（スタック・レジスタ及びジェネラル・レジスタを除く）について説明する。

【0082】コマンド・レジスタやデデータ・レジスタには、システムの電源投入時、CPUの個別制御PR Rが実行するパワーマネージメントの命令やデデータの各モードを実行処理するためにコード化されて入力される。

【0083】ステータス・レジスタには、個別制御PR Rがパワーマネージメントをしているステータスの情報が、個別制御PR R自体のコントロールによって入力されている。このステータス情報は、パワーマネージメントを実行しているか否かの情報、各モードの種別、及び各モードの処理の実行ステータスがコード化されている。

【0084】コントロール・レジスタには、タイムアウトの設定値やクロックダウン時の制御値が入力されている。CPUの個別制御PR Rから入力されるマイクロオーダーは、レジスタ・グループの入出力、その他をコントロールするために使われる。

【0085】電源をコントロールするときは、CPUの個別制御PR RがP1/Oコントロールの個別制御PR Rに要求を出し、図5のシステム全体の状態と同様であるが、時間的に異なる。

【0086】次に、システムの中で、各状態におけるS1/Oコントロールの個別制御PR Rが物理的に実行する物理的なパワーマネージメントを一例を以て示す。これは、システムのアプリケーションによっても異なる。

【0087】次に、システムの中で、各状態におけるS1/Oコントロールの個別制御PR Rが物理的に実行する物理的なパワーマネージメントを一例を以て示す。これは、システムのアプリケーションによっても異なる。

表2 CPUのパワーマネージメントモード (例)

インジカ ライズ	特徴	実行	待機	Δ: 通知
クロックダウン				
クロックストップ				
マシンスタートセーブ				
DCバイパスモード				
タイムアウト				
パワーオン				
ディスプレイパワーオフ				
バックライトパワーオフ				

Δ印は電源がパワーオフでなく復帰がパワーオフである。

【0090】ここで、表2の各項目を説明する。

【0091】クロックダウンは、CPU内のクロック周波数を数値的に設定して周波数を下げる。クロックストップは、CPU内のクロックを一時停止する。マシンスタートセーブは、CPU内の状態を一時記憶する。DCバイパスモードは、CPUの個別制御PR Rが待機状態に入ることをP1/Oコントロールの個別制御PR Rに知らせる。タイムアウトは、設定されたタイマー値に達したとき、システムがタイムアウト状態になる。ディスプレイパワーオフは、ディスプレイの電源をコントロールする。バックライトパワーオフは、バックライトの電源をコントロールする。

【0092】次に、図3に示されている各S1/Oコントロールの機能を説明する。

【0093】これらのS1/Oコントロールは、一般によく知られているものであり、ここでは各S1/Oコントロール自体の構成や動作の説明を省略して、個別制御PR Rに関する点について説明する。なお、フラッシュ・メモリがファイル・メモリとして使用されるように、フラッシュ・メモリは、システム全体の電源をコントロールする。バックライトパワーオフは、バックライトの電源をコントロールする。ディスプレイパワーオフは、ディスプレイの電源をコントロールする。

【0094】また、S1/Oコントロールの個別制御PR Rにディスプレイの電源をコントロールすることを要求し、図5のシステム全体の状態と同様であるが、時間的に異なる。

(8)

【0095】コマンド・レジスタやデデータ・レジスタには、システムの電源投入時、S1/Oの個別制御PR Rが実行するパワーマネージメントの命令やデデータが後述する表3の各モードを実行処理するためにコード化されて入力されている。

【0096】ステータス・レジスタには、個別制御PR Rがパワーマネージメントをしているステータスの情報が、個別制御PR R自体のコントロールによって入力されている。このステータス情報は、パワーマネージメントを実行しているか否かの情報、各モードの種別、及び各モードの処理の実行ステータスがコード化されている。

【0097】コントロール・レジスタには、タイムアウトの設定値やクロックダウン時の制御値が入力されている。S1/Oの個別制御PR Rから入力されるマイクロオーダーは、各通電レベルのコントロール、各レジスタの入出力コントロールに使われる。

【0098】また、電源は、S1/Oの個別制御PR RがP1/Oコントロールの個別制御PR Rに要求を出し、図5のシステム全体の状態と同様であるが、時間的に異なる。

【0099】次に、システムの中で、各状態におけるS1/Oコントロールの個別制御PR Rが物理的に実行する物理的なパワーマネージメントを一例を以て示す。これは、システムのアプリケーションによっても異なる。

【0100】次に、システムの中で、各状態におけるS1/Oコントロールの個別制御PR Rが物理的に実行する物理的なパワーマネージメントを一例を以て示す。これは、システムのアプリケーションによっても異なる。

表3 S1/Oのパワーマネージメントモード (例)

インジカ ライズ	特徴	実行	待機	Δ: 通知
クロックダウン				
クロックストップ				
マシンスタートセーブ				
DCバイパスモード				
タイムアウト				
パワーオン				
ディスプレイパワーオフ				
バックライトパワーオフ				

Δ印は電源がパワーオフでなく復帰がパワーオフである。

【0104】ここで、表3の各項目を説明する。

【0105】クロックダウンは、S1/Oコントロール内のクロック周波数を数値的に設定して周波数を下げる。クロックストップは、S1/Oコントロール内のクロックを一時停止する。マシンスタートセーブは、S1/Oコントロールの状態を一時記憶する。DCバイパスモードは、S1/Oコントロールの電源をコントロールする。バックライトパワーオフは、バックライトの電源をコントロールする。

【0106】次に、図3に示されている各S1/Oコントロールの機能を説明する。

【0107】これらのS1/Oコントロールは、一般によく知られているものであり、ここでは各S1/Oコントロール自体の構成や動作の説明を省略して、個別制御PR Rに関する点について説明する。なお、フラッシュ・メモリがファイル・メモリとして使用されるように、フラッシュ・メモリは、システム全体の電源をコントロールする。バックライトパワーオフは、バックライトの電源をコントロールする。ディスプレイパワーオフは、ディスプレイの電源をコントロールする。

【0108】また、電源は、S1/Oの個別制御PR RがP1/Oコントロールの個別制御PR Rに要求を出し、図5のシステム全体の状態と同様であるが、時間的に異なる。

【0109】次に、システムの中で、各状態におけるS1/Oコントロールの個別制御PR Rが物理的に実行する物理的なパワーマネージメントを一例を以て示す。これは、システムのアプリケーションによっても異なる。

【0110】次に、システムの中で、各状態におけるS1/Oコントロールの個別制御PR Rが物理的に実行する物理的なパワーマネージメントを一例を以て示す。これは、システムのアプリケーションによっても異なる。







9-9 VDC 0.7-7.7-77-777-7777 (M)

	イニシャル サイン	特選	発行	特選	△:酒類
		△			
クロアチア		x		(O)	
マレーシア				O	
DC(175E)		△		O	
タイランド		x			
パワース	O	O	O		
パワース				O	
タイランド					
パワース	O		△		

、即ち無理のワーク・スツでなく無理のワーク・スツである。

Rがパワーネーゼメントをしているスタイル情報は、  
個別制御部PR自体のコントロールによって入力されて  
いる。このスタイル情報は、パワーネーゼメントを  
実行しているか否かの情報や各モードの識別やモード

【0187】コントロール・レジスタには、クロックデータの処理の英社システムが、

【0188】電源をコントロールするときは、KBCの個別制御部PRがS1/O(II)の個別制御部PRを通してP1/Oコントロールラの個別制御部PRに要求を出し、電源がコントロールされる。

【0189】S1/O(11)は、常にKBCに同期して、シリアルインターフェイス、システムのキー入力を知らせ、キー入力処理を行う。また、S1/O(11)の個別制御PRは、KBCの個別制御PRのもとでコン

【0190】KBCは、図3に示すようにバスと接続され、独立している非同期に入力されるキー・ゴー

れたい。ゲーム機やパソコンのメモリは、ROMとRAMの2種類に分けられ、ROMは読み出し専用、RAMは読み書き可能。ROMは、一度書き込まれたデータを読み出すだけで、書き換えできない。RAMは、読み書き可能で、電源が切れると記憶されたデータは消える。ROMは、一度書き込まれたデータを読み出すだけで、書き換えできない。RAMは、読み書き可能で、電源が切れると記憶されたデータは消える。

【0191】KBCの状態の移り変りは、図5のシステム全体の状態と同じであるが、他の1/Oコントローラを含むシステムとは、時間的に見ると変化は全く異なる。例えば、システムが実行状態にあっても、KBCは待機している時間がほとんどである。連続的なキー入力のとときには、比較的多くKBCはシステムをアークセスする。

【0192】しかし、割込優先度の高いキー入力があれば

【0186】スティタス・レジスタには、個別制御部1

52

●-B FMCのパワーマネージメントモード(例)

	イニシャル タイプ	特徴	発行	時期	△：追加
クローザゲン		△			
クワクストロフ		○		○	
マレーンズシートセーフ				○	
DCパイプスーフ		△		○	
タイムワット		x			
パワーオン	○	○	○		
パワーオフ				○	
ディスプレイパワーオン	○		△		
ディスプレイパワーオフ					

、印は物質的パワー・オフでなく精神的パワー・オフである。

【0168】電源のコントロールは、VDCの個別制御部PRがPI/コンローラの個別制御部PRに要求を出して行なわれる。

【0169】VDCは、CPUとバス接続されており、描面タイミングの選択、直線や円弧、四辺形、文字等の描面やスクロール、自動カーソル等ビデオデータのコントロール等も行うコントローラである。

【10170】更に、ローカルバスには、ビデオ・ラム（以下、V-RAMと称する）がビデオデータの表示のために接続されるが、V-RAMのビットデータをコントローラするものである。このV-RAMには、D-RAMが使われるときでもあるので、D-RAMのリフレッシュ周期を有する。

【0171】D-RAMの変わりにq リフレッシュが不要な自己リフレッシュ・ラム(疑似S-RAM)を用いてもよい。

【10172】VDCは、CRTとインターフフェイスによるか、またはリキッド・クリスタル・ディスプレイ・コントローラ（以下、LCDCと称する）としても使用される。この場合、LCDフラットディスプレイに接続されるので、LCD表示用データインタフェイスコンバータを含んだコントローラになるが、ビデオアダプタのコントローラ機能は同一であり、VDCのバーチャルメモリは同一である。この4項目は、VDCのバーチャルメモリを拡張する。

【0173】VDCの状態の移り変りは、図5のシステム全体の説明で充分であるので説明を省略する。

いる。例えば、シスデムが実行不能になっている。例えば、シスデムが実行不能になっている。例えば、シスデムが実行不能になっている。

動作を始めるのはよいので、初稿として、  
【0174】次に、システムの中で、各状態におけるV  
DCの個別制御部PRが論理的に実行する物理的なパワ  
ーマネジメントの一例を表9に示す。これは、システム  
マネジメントによって異なる。

【0175】

【表9】

(13)

表8の各項目を説明する。

【0162】こー、ダウンは、FMC内のクロック周  
【0163】クロックに設定して、周波数を下げる。クロック  
周波数を複数段階に設定して、周波数を下げる。マシン  
ストップは、FMC内のクロックを停止させる。マシン  
ストップは、FMC内のクロックを一時停止する。D

スタートセーブは、FMC内の状態を、Cバイアスモードは、FMCが待避状態に入ることを、個別制御部PRがPI/Oコントローラの個別制御部PRに知らせ、電源をコントロールし、FMCの電源をRに知らせ、電源をコントロールし、FMCの電源を

DCバイアスモードにする。タイムアウトは、FMCのシステマ機能をもたないが、システマの中でタイムアウトイベントがあれば、FMCの個別制御部PRに知らせる。タイムアウトは、FMCの個別制御部PRに知らせる。

は、FMCの個別制御部PRがPI/Oコントローラのは、D/Cバイアスモードに入る。ディスプレイパワーオフは、個別制御部PRに指示の電源をコントロールすることをバックライトパワーオフは、LCD

要求して遮断する。バックアップの合、FMCの個別制御PRがPI/Oコントローラの個別制御PRにバックライトの電源をコントローラ遮断する。

【0164】続いて、ビデオ・データ・コントローラ(10164)は、ビデオ制御部PRに含まれている各レジスタ(VDC)の個別制御部PRに含まれている各レジスタについて制御する。

【0165】コマンド・レジスタやデータ・レジスタについては、電源投入時、VDCが実行するパワーマネージメントの命令やデータが第9の各モードを実行するために必要である。

【0166】ステイタス・レジスタには、個別制御部PRがパワーマネージメントをしているステイタス情報があり、個別制御部PR自体のコントロールによって入力され、個別制御部PRに入力されている。

れている。このステータス情報は、パワーマネージメントを実行しているか否かの情報、各モードの種類、及び各モード処理の実行ステータスがコード化されている。

10.10.1. ユニットの制御部が入力されている。VDCの個別制御部  
PRから入力されるマイクログラフは、描画アドレス  
制御部と表示アドレス制御部、ビデオデータ制御部等の  
制御部と表示アドレス制御部に与えられる。

(15)

ば、システムは常にこのキー入力を受け付け（阻し、リアル・タイム・クロックを除く）、待機イベントであれば待機へ、復帰イベントであれば復帰へとシステムの状態が遷移する。

【0193】次に、システムの中で各状態におけるKBCの個別制御部PRが論理的に実行する物理的パワー・モード

図10 KBC (S1/O) のパワー・マネージメントモード

インシュ ライズ	待機	実行	待機	Δ・Δ
クロックダウ ン	O	Δ	Δ	Δ
マシンストップ	Δ	O	O	O
マシンストップ・ マシンストップ・ マシンストップ	Δ	O	O	O
DCバイパスモード	X	X	X	X
タイムアウト	X	X	X	X
パワー・オン	O	O	O	O
パワー・オフ	O	O	O	O
ディスアクト・ パワー・オン	O	O	O	O
ディスアクト・ パワー・オフ	O	O	O	O

※ 印は個別制御部PRが電源をオフにしている状態を示す。

【0195】ここで、図10の各項目を説明する。

【0196】クロックダウンは、KBC内のクロック周波数を待機状態に設定してクロック周波数を下げる。クロックダウンは、KBC内のクロック周波数を待機状態に設定し、KBC内のクロック周波数を下げる。クロックダウンは、KBC内のクロック周波数を待機状態に設定し、KBC内のクロック周波数を下げる。

【0200】地方、S-RAMは、その特性によってスリープ・モードに維持できることからDCバイパス・モードを待つことができる。即ち、P1/Oコントローラが待機状態に入るとき、P1/OのPRが、S-RAM (メインメモリ) の電源をコントロールして、DCバイパス・モードにする。類似S-RAMは、セルフ・リフレッシュなので、D-RAMと同様にDCバイパス・モードに設定しない。

【0201】ICメモリカードは、多数なメモリが使用される部分である。大きくは、ROMとRAMである。M-RAMは、EP-ROMとE2 PROMその他のROMも全てROMとして扱う。

【0202】ROMは、メモリの電源を遮断してもデータを保持するのでDCバイパス・モードが存在し物理的にもパワー・オフができるのでパワー・オフモードが存在する。

【0203】地方、RAMの場合は、D-RAM、S-RAM、類似S-RAMがあるが、ICメモリカードは、電源を遮断して使用されるので、D-RAMは採用しない。ICメモリカードとしての使用に要する点がある。メインメモリで動作したことから、S-RAMによる1Cメモリカードは、DCバイパス・モードを待つことができ、P1/Oコントローラの個別制御部PRが電源コントロールする。類似S-RAMの場合は、セルフ・リフレッシュをもっているため電源をオフにしておけば、データ保持ができるのでDCバイパス・モードに設定しない。D-RAMと同様に採用的に最低点がある。

【0204】大規模な大規模集積回路 (LSI) 化技術システムでは、その特性上、一定時間内のリフレッシュ

(16)

が進み、システムが1つのチップに集積された場合においても、CPUや他のI/Oコントローラは、このパワー・マネージメントシステムによって、CPUや個別のI/Oコントローラの電源を制御するように構成できる。

【0205】大規模LSI化技術によって、将来、図3のようなシステムが1つのチップに集積された場合、もっと進んでウェル・スケール・インテグレーション技術により、システムが集積された場合、システムの低消費電力化がますます重要になってくる。このとき、システムはシリコンの上に集積されるが、上述した本発明の分散パワー・マネージメント・システムによって、CPUや個別のI/Oコントローラ、その他のメモリの電源を制御できるので、シリコン上の消費電力をシリコン全体に分散させることができる。即ち、安定したシステムの動作や大規模LSIの安定性や信頼性を確保することができ。

【0206】また、半導体の周波数は、駆動電圧に依存するという特性を有しており、駆動電圧を高くすると動作周波数を高くすることができ、駆動電圧を低くすると動作周波数を低くすることができる。上述した本発明の分散パワー・マネージメント・システムは、電源をコントロールして駆動電圧をスイッチングしていることで、フル・パワー・モードとDCバイパス・モードをもつことができる。このことは、低消費電力化を実現すると共に、システムの動作・非動作によって処理速度の上昇と下降を制御してシステム全体の処理速度を落すことがないように制御することが可能になる。即ち、システムが動作中に処理速度を上げ、非動作中に処理速度を下げる制御も可能になる。

【0207】図15は、図7に示されたパワー・コントロールのブロック図に示したパワー・制御の信号波形と制御信号A、Bによってスイッチングされる電源の動きを示すタイミング・チャートである。

【0208】即ち、図15は、外部のパワー・コントロール部 (即ち、P1/Oのパワー・コントロール・ポート) からの出力信号によって、制御信号A、Bを合成させる。制御信号A、BによってCPUやI/Oコントローラのそれぞれを制御してCPUやI/Oコントローラを動作させる。電源をコントロールする制御信号A、Bの波形例を示している。

【0209】なお、制御信号A、Bの波形はCPUやそれ以外のI/Oコントローラの機能特性やシステムによって異なる。

【0210】図16は、本発明のパワー・コントロールの第2実施例の構成を示すブロック図である。

【0211】図16の個別制御部PRは、個別制御部PR自体でも電源をコントロールできるように構成されている。

【0212】図16の個別制御部PRは、図1に示す本発明のパワー・コントロールの第1実施例に対して、パ

ワー・コントロールするためのロジック・ブロックが追加されている。

【0213】追加されたロジック・ブロックは、制御信号A、B、及び制御信号Bに接続されたプリ・プロ・プログラマによって構成されている。

【0214】上記ロジック・ブロックでは、制御信号Aはマイクログラフ・コンローラ・ピット出力信号をそれぞれ入力し、プリ・プログラマは制御信号Aの出力に基づいてオン状態またはオフ状態を形成して、このオン状態またはオフ状態に基づいてPCCへの入力信号A1、B1を出力する。

【0215】図17は、このときのパワー・制御の信号波形である制御信号A、制御信号Bを示すタイミング・チャートである。図17は、更に、制御信号A、制御信号Bによって制御される電源の動きも示している。

【0216】制御信号Aは、個別制御部PR自体でコントロールされるので、スタンバイ・モードに入るときは電源が-Vccにスイッチングされるため、図17に示すようになる。

【0217】また、制御信号Bは、フル・パワー・モードでは電源が-Vccにスイッチングされるため、図17に示すようになる。

【0218】即ち、スタンバイ・モードにする信号が制御信号Bであり、フル・パワー・モードにする信号が制御信号Aである。

【0219】図18は、個別制御部PR自体でパワー・制御を行うときのブロック図を示している。なお、制御信号A、制御信号Bの波形は、CPUやそれぞれのI/Oコントローラの機能特性やシステムによって異なる。

【0220】図19は、図18のCPUに関する構成を詳細に示す図である。

【0221】図19に示すように、CPUは、個別制御部PRと、個別制御部PRに接続されていると共にPCCにも接続されているトランジスタ回路部を備えている。また、図19には、オン電流、オフ電流はトランジスタ回路部とPCCの端子A1、B1との間を流れることを示している。

【0222】図19に示すように、CPUや他のI/OコントローラにはB1-CMOSが含まれており、B1-CMOSはPCCの各端子A1、B1に接続されていると共に、CPUや他のI/Oコントローラに含まれている個別制御部PRに接続されている。

【0223】表11は、図1のコマンド・レジスタによるパワー・マネージメント命令を示す。

【表11】

(17)

P1/O 00000000 P1/O 00000000 P1/O 00000000 P1/O 00000000

命令名	命令記号	長さ	リターン
ロード・アサイン	CR201ビット	CR2 (1)	1 O
ロード・アサイン	CR202ビット	CR2 (2)	1 O
ロード・アサイン	CR203ビット	CR2 (3)	0 x
ロード・アサイン	CR204ビット	CR2 (4)	0 O
ロード・アサイン	CR205ビット	CR2 (5)	1 O
ロード・アサイン	CR206ビット	CR2 (6)	1 O
ロード・アサイン	CR207ビット	CR2 (7)	1 O
ロード・アサイン	CR208ビット	CR2 (8)	1 O
ロード・アサイン	CR101ビット	CR1 (1)	0 O
ロード・アサイン	CR102ビット	CR1 (2)	1 O
ロード・アサイン	CR103ビット	CR1 (3)	1 O
ロード・アサイン	CR104ビット	CR1 (4)	0 x
ロード・アサイン	CR105ビット	CR1 (5)	0 x
ロード・アサイン	CR106ビット	CR1 (6)	0 x
ロード・アサイン	CR107ビット	CR1 (7)	0 x
ロード・アサイン	CR108ビット	CR1 (8)	0 x

【0225】表12は、表11に示した図1の命令  
・レジスタの構成内容を示す。  
【表12】  
コマンド・レジスタCR (8ビット×2本)  
(パワー・オン時に予め、プログラムで命令をセットしておく)

8	7	6	5	4	3	2	1	CR2
8	7	6	5	4	3	2	1	CR1

【0227】表13は、図1のステータス・レジスタの  
構成内容を示す。  
【表13】

(18)

ステータス・レジスタSR (8ビット×2本)

SR3	SR2	SR1	SR0	SR7	SR6	SR5	SR4	SR3	SR2	SR1	SR0
SR4	SR3	SR2	SR1	SR7	SR6	SR5	SR4	SR3	SR2	SR1	SR0

SR3, SR2, SR1 : システムの状態を示す  
SR0 : マスター (主) とスレーブ (従) のスイッチ・フラグ  
SR7 (SRキー入力) : Non Maskable Interrupt (マスクできない割込)  
SR4 ~ SR0 : System Management Interrupt (システム管理による割込)

【0229】表14は、表13に示した状態を設するSR  
3, SR2, 及びSR1の具体的な内容を示す。  
【表14】

SR3	SR2	SR1	各デバイスの状態
0	0	0	イニシャライズ状態
0	0	1	待機状態
0	1	0	待機状態
0	1	1	実行状態
1	0	0	未定義 (定義可能)
1	0	1	未定義 (定義可能)
1	1	0	未定義 (定義可能)
1	1	1	未定義 (定義可能)

【0231】表15は、表13に示したSR1~SR0のス  
イッチ・ロジックを示す。  
【表15】

(19)

種類	PIとHI/LOのスイッチ・ロジック
SW <sub>1</sub>	VDCのHI
SW <sub>2</sub>	FMCのHI
SW <sub>3</sub>	SI/O (II) のHI
SW <sub>4</sub>	DMACのHI
SW <sub>5</sub>	INTCのHI
SW <sub>6</sub>	CTCのHI
SW <sub>7</sub>	RTCのHI
SW <sub>8</sub>	PI/OのHI
SW <sub>9</sub>	SI/O (I) のHI
SW <sub>10</sub>	KBCのHI
SW <sub>11</sub>	CP UのHI

【0233】表16は、図1のコントロール・レジスタの構成内容を示す。  
【0234】  
コントロール・レジスタCLR (8ビット×2本)

【表16】  
【表17】

8	7	6	5	4	3	2	1	CLR2 (クロック・ダウン)
8	7	6	5	4	3	2	1	CLR1 (タイム・アウト)

それぞれの値は、プログラムでセットする。

(20)

	クロック・ダウン値
CLR2の1ビット目がセット	1/4倍
CLR2の2ビット目がセット	1/8倍
CLR2の3ビット目がセット	1/16倍
CLR2の4ビット目がセット	1/32倍
CLR2の5ビット目がセット	1/64倍
CLR2の6ビット目がセット	スピード・ダウン
CLR2の7ビット目がセット	スピード・フル
CLR2の8ビット目がセット	クロック・ストップ

【0237】

【表18】

	タイム・アウト値
CLR1の1ビット目がセット	4倍
CLR1の2ビット目がセット	8倍
CLR1の3ビット目がセット	16倍
CLR1の4ビット目がセット	32倍
CLR1の5ビット目がセット	64倍
CLR1の6ビット目がセット	128倍
CLR1の7ビット目がセット	256倍
CLR1の8ビット目がセット	512倍

【0238】表19及び表20は、図1のデータ・レジスタの構成内容及び具体的な命令内容をそれぞれ示す。  
【表19】

【0239】

(21)

データ・レジスタDR (8ビット×2本)  
(各ビットのフラッグのセットはプログラムで行い、  
このデータをパワー・コントロールポートに出力する。)

8	7	6	5	4	3	2	1	DR2
8	7	6	5	4	3	2	1	DR1

[0240]

[表20]

命令名	命令記号
VDC0:パワー・コントロール	DR101ビット
PMC0:パワー・コントロール	DR102ビット
SI/O (H) 0 パワー・コントロール	DR103ビット
DMAC0:パワー・コントロール	DR104ビット
INTC0:パワー・コントロール	DR105ビット
C7C0:パワー・コントロール	DR106ビット
RTC0:パワー・コントロール	DR107ビット
PI/O0:パワー・コントロール	DR108ビット
SI/O (L) 0 パワー・コントロール	DR201ビット
K8C0:パワー・コントロール	DR202ビット
CPU0:パワー・コントロール	DR203ビット
DISプレイ・パワー・オフ	DR204ビット
バックライト・パワー・オフ	DR205ビット
パワー・オフ	DR206ビット
パワー・オン	DR207ビット
ディスプレイ/バックライト パワー・オン	DR208ビット

[0241] 表11～表20は、多様なパワー・マネージメント命令がある中でその一例であり、また各レジスタの構成内容も多様である中での一例である。  
[0242] 次に、上記表11～表20、及び図20～図22のフローチャートをそれぞれ参照して、図1に示すPI/Oの個別制御部PRのパワー・マネージメントの動作がシステムアプリケーションによって種々ある中で、その一例を説明する。  
[0243] まず、図9に示す並列入出力コントロールラ

(PI/O) を構成しているコマンド・レジスタ、第1ポート～第4ポート、第1グループ、コントロール、及び第2グループ・コントロールをそれぞれ初期化 (イニシャライズ) して (ステップS1)、図1のPI/Oの個別制御部PRを構成しているコマンド・レジスタCRをF306にセットすると共に、ステータス・レジスタSR、コントロール・レジスタCLR、及びデータ・レジスタDRをそれぞれ0000 (各数値はhexadecimalを仮す) にセットして (ステップS2)、PI/Oの個

(22)

別制御部PRをイニシャライズ状態に設定し (ステップS3)、イニシャライズが終了したか否かを判定し (ステップS4)、上記ステップS4でイニシャライズが終了していない (NO) と判定された場合には、スペシャル・キー (SKキー) の断込があったか否かを判定し (ステップS5)、上記ステップS5でSKキーの断込がない (NO) と判定された場合には、上記ステップS3に戻ってSKキーの断込があるまでルーティンを繰り返して実行し、上記ステップS5でSKキーの断込があった (YES) と判定された場合には、"マスクできない断込" (Non-Maskable Interrupt、以下、NM1と称する) を1にセットすると共に、マスター/スレーブのフラッグ (以下、M/Sと称する) も同時に1にセットし (ステップS6)、システムの状態を返すSM3を0、SM2を1、及びSM1を0にそれぞれセットして (ステップS7)、"待選状態" (図14参照) を形成し (ステップS8)、処理1を実行する (ステップS9)。

[0244] ここで、図23を参照して、処理1の内容を説明する。

[0245] 図23に示すように、処理1では、コマンド・レジスタCR2の2番目のビットCR2 (2) が1であるか否か (即ちクロックをコントロールするか否か) を判定し (ステップS91)、上記ステップS91でコマンド・レジスタCR2 (2) が1である (YES) と判定された場合には、データ・レジスタDRを1FFFにセットし (ステップS97)、データ・レジスタDRの内容を第1ポートに出力して (ステップS98)、DCバイアス・モードを形成する (ステップS99)。

[0246] 図20に戻って、処理1を終了したならば、再びSKキーの断込があったか否かを判定し (ステップS10)、上記ステップS10でSKキーの断込がない (NO) と判定された場合には、上記ステップS8の"待選状態"に戻り、上記ステップS10でSKキーの断込があった (YES) と判定された場合には、NM1及びUM/Sをそれぞれ0にリセットし (ステップS11)、SM3、SM2、及びSM1を0に、コントロール・レジスタCLRを0000にそれぞれリセットして (ステップS12)、上記ステップS3に戻る。

[0247] 続いて、図20及び図21に示すように、上記ステップS4でイニシャライズが終了した (YES) と判定された場合には、SM3を0、SM2を0、SM1を1にそれぞれセットして (ステップS13)、"待選状態"が形成された (ステップS14)、SKキーの断込があったか否かを判定し (ステップS15)、上記ステップS15でSKキーの断込があった (YES)

と判定された場合には、NM1を1にセットすると共に、M/Sも同時に1にセットし (ステップS16)、SM3を0、SM2を1、及びSM1を0にそれぞれセットして (ステップS17)、"待選状態" (図14参照) を形成し (ステップS18)、処理2を実行する (ステップS19)。

[0248] ここで、図24を参照して、処理2の内容を説明する。

[0249] 図24に示すように、処理2では、コマンド・レジスタCR2の8 目のビットCR2 (6) が1であるか否か (即ち、パワーをオフするか否か) を判定し (ステップS191)、上記ステップS191でコマンド・レジスタCR2 (6) が1である (YES) (即ちパワーをオフする) と判定された 合には、データ・レジスタDR2の4番目のビットDR2 (4) を1にセットし (ステップS192)、ディスプレイ・パワーをオフ (図20参照) して (ステップS193)、データ・レジスタDR2の5番目のビットDR2 (5) を1にセットし (ステップS194)、バック・ライトをオフ (図20参照) する (ステップS195)。

[0250] 続いて、コマンド・レジスタCR2の5番目のビットCR2 (6) が1であるか否か (即ち、DCバイアス・モードか否か) を判定し (ステップS196)、上記ステップS196でコマンド・レジスタCR2 (6) が1である (YES) (即ちDCバイアス・モードである) と判定された場合には、データ・レジスタDRを1FFFにセットし (ステップS197)、データ・レジスタDRの内容を第1ポートに出力して (ステップS198)、DCバイアス・モードを形成する (ステップS199)。

[0251] 更に、コマンド・レジスタCR2の2番目のビットCR2 (2) が1であるか否か (即ち、クロック・コントロールか否か) を判定し (ステップS1910)、上記ステップS1910でコマンド・レジスタCR2 (2) が1である (YES) (即ちクロック・コントロールである) と判定された場合には、コントロール・レジスタCLR2の8 目のビットCLR2 (8) を1にセットし (ステップS1911)、クロック・ストップ (図17参照) を形成する (ステップS1912)。

[0252] 図21に戻って、処理2を終了したならば、再びSKキーの断込があったか否かを判定し (ステップS20)、上記ステップS20でSKキーの断込があった (YES) と判定された場合には、NM1及びUM/Sをそれぞれ0にリセットし (ステップS21)、SM3及びSM2を0に、SM1を1に、コントロール・レジスタCLRを0000に、データ・レジスタDRを0000にそれぞれリセットして (ステップS22)、データ・レジスタDRの内容を第1ポートに出力して (ステップS23)、上記ステップS14に戻る。

(23)

【0253】また、上記ステップS20でSKキーの割込みがない(NO)と判定された場合には、コマンド・レジスタDR1の1番目のビットCR1(1)が1であるか否か(即ち、パワー・オンか否か)を判定し(ステップS24)、上記ステップS24でCR1(1)が1でない(NO)と判定された場合には、上記ステップS18に戻り、他方、上記ステップS24でCR1(1)が1である(YES)と判定された場合には、データ・レジスタDR2の8番目のビットDR2(8)を1にセットし(ステップS26)、ディスプレイ/バックライトをオンにして(ステップS26)、上記ステップS18に戻る。

【0254】上記ステップS15でSKキーの割込みがない(NO)と判定された場合には、処理3を実行する(ステップS27)。

【0255】ここで、図25を参照して、処理3を説明する。

【0256】図25に示すように、処理3では、M/Sを1にセットし(ステップS271)、システム管理による割込み(System Management Interrupt)以下、SM1と称する)のSM11が1であるか否かを判定し(ステップS272)、上記ステップS272でSM11が1である(YES)と判定された場合には、データ・レジスタDR1の1目のビットDR1(1)を1にセット(即ち、VDCのパワー・コントロールをオン)し(ステップS273)、上記ステップS272でSM11が1でない(NO)と判定された場合には、DR1(1)を0にセットする(ステップS274)。

【0267】続いて、SM12が1であるか否かを判定し(ステップS275)、上記ステップS275でSM12が1である(YES)と判定された場合には、データ・レジスタDR1の2目のビットDR1(2)を1にセット(即ち、FMCのパワー・コントロールをオン)し(ステップS276)、上記ステップS275でSM12が1でない(NO)と判定された場合には、DR1(2)を0にセットする(ステップS277)。

【0268】以下、SM13が1であるか否かを判定し(ステップS278)、上記ステップS278でSM13が1である(YES)と判定された場合には、データ・レジスタDR1の3番目のビットDR1(3)を1にセット(即ち、S1/O(II)のパワー・コントロールをオン)し(ステップS279)、上記ステップS279でSM13が1でない(NO)と判定された場合には、DR1(3)を0にセットする(ステップS2710)。

【0269】同様に、SM14が1であるか否かを判定し(ステップS2711)、上記ステップS2711でSM14が1である(YES)と判定された場合には、データ・レジスタDR1の4番目のビットDR1(4)を1にセット(即ち、DMACのパワー・コントロールを

をオン)し(ステップS2712)、上記ステップS2712でSM14が1でない(NO)と判定された場合には、DR1(4)を0にセットする(ステップS2713)。

【0260】SM15が1であるか否かを判定し(ステップS2714)、上記ステップS2714でSM15が1である(YES)と判定された場合には、データ・レジスタDR1の5番目のビットDR1(5)を1にセット(即ち、INTCのパワー・コントロールをオン)し(ステップS2715)、上記ステップS2715でSM15が1でない(NO)と判定された場合には、DR1(5)を0にセットする(ステップS2716)。

【0261】SM16が1であるか否かを判定し(ステップS2717)、上記ステップS2717でSM16が1である(YES)と判定された場合には、データ・レジスタDR1の6番目のビットDR1(6)を1にセット(即ち、CTCのパワー・コントロールをオン)し(ステップS2718)、上記ステップS2718でSM16が1でない(NO)と判定された場合には、DR1(6)を0にセットする(ステップS2719)。

【0262】SM17が1であるか否かを判定し(ステップS2720)、上記ステップS2720でSM17が1である(YES)と判定された場合には、データ・レジスタDR1の7番目のビットDR1(7)を1にセット(即ち、RTCのパワー・コントロールをオン)し(ステップS2721)、上記ステップS2721でSM17が1でない(NO)と判定された場合には、DR1(7)を0にセットする(ステップS2722)。

【0263】同様に、SM19が1であるか否かを判定し(ステップS2723)、上記ステップS2723でSM19が1である(YES)と判定された場合には、データ・レジスタDR2の1番目のビットDR2(1)を1にセット(即ち、S1/O(II)のパワー・コントロールをオン)し(ステップS2724)、上記ステップS2724でSM19が1でない(NO)と判定された場合には、DR2(1)を0にセットする(ステップS2725)。

【0264】SM110が1であるか否かを判定し(ステップS2726)、上記ステップS2726でSM110が1である(YES)と判定された場合には、データ・レジスタDR2の2番目のビットDR2(2)を1にセット(即ち、KBCのパワー・コントロールをオン)し(ステップS2727)、上記ステップS2727でSM110が1でない(NO)と判定された場合には、DR2(2)を0にセットする(ステップS2728)。

【0266】更に、SM111が1であるか否かを判定し(ステップS2729)、上記ステップS2729でSM111が1である(YES)と判定された場合には、データ・レジスタDR2の3番目のビットDR2(3)を1にセット(即ち、CPUのパワー・コントロールをオ

(24)

ん)し(ステップS2730)、上記ステップS2729でSM111が1でない(NO)と判定された場合には、DR2(3)を0にセットする(ステップS2731)。これらデータ・レジスタDRの内容をP1/Oの1ポートに出力して(ステップS2732)、DCバース・モードを設定する(ステップS2733)。即ち、処理3では、SM1の要求があったデバイスのパワー・コントロールする。

【0266】図21に示すように、処理3を終了したならば、実行イベントがあるか否かを判定し(ステップS28)、上記ステップS28で実行イベントがない(NO)と判定された場合には、コマンド・レジスタCR2の1番目のビットCR2(1)が1であるか否かを更に判定し(ステップS29)、上記ステップS29でCR2(1)が1でない(NO)と判定された場合には、上記ステップS14に戻る。また、図21及び図22に示すように、上記ステップS29でCR2(1)が1である(YES)と判定された場合には、コントロール・レジスタCLR2の3番目のビットCLR2(3)を1にセットして(ステップS30)、クロック・ダウン値を1/2倍に設定する(ステップS31)。

【0267】他方、上記ステップS28で実行イベントがある(YES)と判定された場合には、ステータス・レジスタSR、コントロール・レジスタCLR、及びデータ・レジスタDRをそれぞれ000にセットすると同時に、M/Sを0にセットし(ステップS32)、データ・レジスタDRの内容を第1ポートに出力し(ステップS33)、SM3を0に、SM2を1に、SM1を1にそれぞれセットし(ステップS34)、実行状態を形成し(ステップS35)、プリント命令があるか否かを判定し(ステップS36)、上記ステップS36でプリント命令がない(NO)と判定された場合には、SKキーの割込みがあるか否かを判定し(ステップS37)、上記ステップS37でSKキーの割込みがある(YES)と判定された場合には、NM1及びM/Sをそれぞれ1にセットし(ステップS38)、SM3を0に、SM2を1に、そしてSM1を0にセットして(ステップS39)、待機状態を形成して(ステップS40)、処理4を実行する(ステップS41)。

【0268】ここで、図26を参照して、処理4を説明する。

【0269】図26の処理4では、コマンド・レジスタCR2の7番目のビットCR2(7)が1であるか否かを判定し(ステップS411)、上記ステップS411でCR2(7)が1である(YES)と判定された場合には、データ・レジスタDR2の4番目のビットDR2(4)を1にセットし(ステップS412)、ディスプレイのパワーをオンに設定し(ステップS413)、コマンド・レジスタCRの8番目のビットCR2(8)が1であるか否かを判定し(ステップS414)、上記ス

テップS414でCR2(8)が1である(YES)と判定された場合には、データ・レジスタDR2の5番目のビットDR2(5)を1にセットし(ステップS415)、バック・ライトのパワーをオンに設定し(ステップS416)、コマンド・レジスタCR2の5番目のビットCR2(5)が1であるか否かを判定し(ステップS417)、上記ステップS417でCR2(5)が1である(YES)と判定された場合には、データ・レジスタDRの内容を第1ポートに出力し(ステップS419)、DCバース・モードを設定し(ステップS4110)、コマンド・レジスタCR2の1番目のビットCR2(1)が1であるか否かを判定し(ステップS4111)、上記ステップS4111でCR2(1)が1である(YES)と判定された場合には、コントロール・レジスタCLR2の2番目のビットCLR2(2)を1にセットして(ステップS4112)、クロック・ダウン値を1/8倍に設定する(ステップS4113)。

【0270】図22に戻って、処理4を実行したならば、再びSKキーの割込みがあったか否かを判定し(ステップS42)、上記ステップS42でSKキーの割込みがあった(YES)と判定された場合には、NM1及びM/Sをそれぞれ0にセットし(ステップS43)、コントロール・レジスタCLRを000に、データ・レジスタDRを000にそれぞれリセットして(ステップS44)、上記ステップS43に戻る。また、上記ステップS42でSKキーの割込みがない(NO)と判定された場合には、上記ステップS40に戻る。

【0271】上記ステップS37で、SKキーの割込みがない(NO)と判定された場合には、処理5を実行する(ステップS45)。

【0272】ここで、図27を参照して、処理5を説明する。

【0273】図27の処理5では、M/Sを1にセットし(ステップS451)、SM11が1であるか否かを判定し(ステップS452)、上記ステップS452でSM11が1である(YES)と判定された場合には、データ・レジスタDR1の1番目のビットDR1(1)を1にセット(即ち、VDCのパワー・コントロールをオン)し(ステップS453)、上記ステップS452でSM11が1でない(NO)と判定された場合には、DR1(1)を0にセットする(ステップS454)。

【0274】SM12が1であるか否かを判定し(ステップS455)、上記ステップS455でSM12が1である(YES)と判定された場合には、データ・レジスタDR1の2番目のビットDR1(2)を1にセット(即ち、FMCのパワー・コントロールをオン)し(ステップS456)、上記ステップS456でSM12が1でない(NO)と判定された場合には、DR1(2)を

(25)

を0にセットする (ステップS457)。

【0276】SM13が1であるか否かを判定し (ステップS458)、上記ステップS458でSM13が1である (YES) と判定された場合には、データ・レジスタDR1の3番目のビットDR1 (3) を1にセット (即ち、S1/O (1) のパワー・コントロールをオン) し (ステップS459)、上記ステップS468でSM13が1でない (NO) と判定された場合には、DR1 (3) を0にセットする (ステップS4510)。

【0276】同様、SM14が1であるか否かを判定し (ステップS4511)、上記ステップS4511でSM14が1である (YES) と判定された場合には、データ・レジスタDR1の4番目のビットDR1 (4) を1にセット (即ち、DMAのパワー・コントロールをオン) し (ステップS4512)、上記ステップS4511でSM14が1でない (NO) と判定された場合には、DR1 (4) を0にセットする (ステップS4513)。

【0277】SM15が1であるか否かを判定し (ステップS4514)、上記ステップS4514でSM15が1である (YES) と判定された場合には、データ・レジスタDR1の5目のビットDR1 (5) を1にセット (即ち、INTCのパワー・コントロールをオン) し (ステップS4515)、上記ステップS4514でSM15が1でない (NO) と判定された場合には、DR1 (5) を0にセットする (ステップS4516)。

【0278】SM16が1であるか否かを判定し (ステップS4517)、上記ステップS4517でSM16が1である (YES) と判定された場合には、データ・レジスタDR1の6番目のビットDR1 (6) を1にセット (即ち、CTCのパワー・コントロールをオン) し (ステップS4518)、上記ステップS4517でSM16が1でない (NO) と判定された場合には、DR1 (6) を0にセットする (ステップS4519)。

【0279】SM17が1であるか否かを判定し (ステップS4520)、上記ステップS4520でSM17が1である (YES) と判定された場合には、データ・レジスタDR1の7番目のビットDR1 (7) を1にセット (即ち、RTCのパワー・コントロールをオン) し (ステップS4521)、上記ステップS4520でSM17が1でない (NO) と判定された場合には、DR1 (7) を0にセットする (ステップS4522)。

【0280】同様、SM19が1であるか否かを判定し (ステップS4523)、上記ステップS4523でSM19が1である (YES) と判定された場合には、データ・レジスタDR2の1番目のビットDR2 (1) を1にセット (即ち、S1/O (1) のパワー・コントロールをオン) し (ステップS4524)、上記ステップS4523でSM19が1でない (NO) と判定された場合には、DR2 (1) を0にセットする (ステップ

S4525)。

【0281】SM110が1であるか否かを判定し (ステップS4526)、上記ステップS4525でSM110が1である (YES) と判定された場合には、データ・レジスタDR2の2番目のビットDR2 (2) を1にセット (即ち、KBCのパワー・コントロールをオン) し (ステップS4527)、上記ステップS4526でSM110が1でない (NO) と判定された場合には、DR2 (2) を0にセットする (ステップS4528)。

【0282】同様、SM111が1であるか否かを判定し (ステップS4529)、上記ステップS4529でSM111が1である (YES) と判定された場合には、データ・レジスタDR2の3番目のビットDR2 (3) を1にセット (即ち、CPUのパワー・コントロールをオン) し (ステップS4530)、上記ステップS4529でSM111が1でない (NO) と判定された場合には、DR2 (3) を0にセットする (ステップS4531)。

【0283】図22に戻って、上記ステップS536でマインド・レジスタCR1の3番目のビットCR1 (3) が1であるか否かを判定し (ステップS4534)、上記ステップS4534でCR1 (2) が1である (YES) と判定された場合には、コントロール・レジスタC (ステップS4535)、クロック・ダウン値をスピード・ダウンに設定する (ステップS4536)。

【0283】図22に戻って、上記ステップS536でマインド・レジスタCR1の3番目のビットCR1 (3) が1であるか否かを判定し (ステップS4534)、上記ステップS4534でCR1 (3) が1でない (NO) と判定された場合には、後述するステップS4539に進む。また、上記ステップS4536でCR1 (3) が1である (YES) と判定された場合には、コントロール・レジスタCLR2の7番目のビットCLR2 (7) を1にセット (ステップS477)、クロック・ダウン値をスピード・フルに設定し (ステップS488)、M/Sを0に設定し (ステップS494)、プリント出力し (ステップS500)、SKキーの割込があったか否かを判定し (ステップS511)、上記ステップS511でSKキーの割込があった (YES) と判定された場合には、上記ステップS38に戻り、上記ステップS42でSKキーの割込がない (NO) と判定された場合には、上述した処理を3回繰り返す (ステップS52)。

【0284】実行終了か否かを判定し (ステップS535)、上記ステップS535で実行が終了していない (NO) の場合には、上記ステップS535に戻り、上記ステップS535で実行が終了している (YES) の場合には、実行終了 (ステップS536)。

【0285】図23に戻って、上記ステップS536でマインド・レジスタCR1の3番目のビットCR1 (3) が1である (YES) と判定された場合には、コントロール・レジスタCLR2の7番目のビットCLR2 (7) を1にセット (ステップS477)、クロック・ダウン値をスピード・フルに設定し (ステップS488)、M/Sを0に設定し (ステップS494)、プリント出力し (ステップS500)、SKキーの割込があったか否かを判定し (ステップS511)、上記ステップS511でSKキーの割込があった (YES) と判定された場合には、上記ステップS38に戻り、上記ステップS42でSKキーの割込がない (NO) と判定された場合には、上述した処理を3回繰り返す (ステップS52)。

(26)

タDRを0000にそれぞれセットし (ステップS544)、データ・レジスタDRの内容を第1ポートに出力し (ステップS55)、SM3を0に、SM2を0に、SM1を1にそれぞれセットし (ステップS56)、上述したステップS14に戻る。

【0284】図28は、図7の実施例と図18の第2実施例を結合させた構成を示しており、各構成部分や動作は第1実施例及び第2実施例にそれぞれ対応しているもので説明を省略する。

【0285】図29は、本発明のパワー・コントロールの第1実施例の構成を示すブロック図である。

【0286】図29の実施例は、CPUや入出力 (I/O) コントローラに個別制御部PRを持たないで、外部に設けられた通常よく知られているマイクログリッドコンピュータを用いて、電源コントロールやクロック周波数を制御 (コントロール) してパワー・コントロールする構成を示す。

【0287】図29の構成は、図7及び図28の構成と類似しているが、パワー・コントロールの部分でマイクログリッドコンピュータで構成されている。

【0288】マイクログリッドコンピュータ・ユニット (MCU) には、リード・オンリ・メモリ (ROM)、ランダム・アクセス・メモリ (RAM)、算術論理演算装置 (ALU)、レジスタRE、I/Oポートが内蔵されている。

【0289】この実施例では、P1/Oの第1ポートからのパワー・コントロール入力信号があることをマイクログリッドコンピュータのROMに記憶されているプログラム命令によってマイクログリッドコンピュータが検出すれば、レジスタREの中で割り付けられたデータ・レジスタにCPUや各I/Oコントローラのパワー・コントロール・ビットを設定 (セット) して、このデータ・レジスタの内容をマイクログリッドコンピュータのI/Oポートに出力して、システムの電源を制御するように構成されている。

【0290】また、クロック周波数のコントロールに、マイクログリッドコンピュータのI/Oポートから出力されるクロック・コントロール信号によって行われるが、図29に示すように、2つの出力信号を用いるときは、4段階のクロック周波数を設定することが可能である。例えばクロック・コントロール信号 (c2, c1) が (0, 0) のときには16MHz、(0, 1) のときには8MHz、(1, 0) のときには4MHz、(1, 1) のときには2MHzのように設定できる。

【0291】クロック周波数のコントロールは、電源コントロールと同じようにP1/Oからの入力信号をマイクログリッドコンピュータが検出して行われる。

【0292】マイクログリッドコンピュータのROMに記憶されたプログラム命令によって入力信号を検出する方法は、よく知られた方法であり、また、クロック・コントロール信号c2やクロック・コントロール信号c1によ

てクロック周波数をコントロールする回路は、通常の方法で実現できるので特に図示しない。

【0293】マイクログリッドコンピュータに供給される電源は、システム動作中において常にP1/Oからの入力信号を監視 (WATCH) していないなければならないので、電源の電圧VCCが供給される。

【0294】図30は、本発明のパワー・コントロールの第5実施例の構成を示すブロック図である。

【0295】図30の構成は、図29に示す構成と類似しているが、電力コントロール回路PCCの構成が異なる。図30の構成では、CPUや各I/Oコントローラに個別制御部PRを持たないで、マイクログリッドコンピュータの外側に設けて電源コントロールやクロック周波数をコントロールして、パワー・コントロールするように構成されている。

【0296】この実施例では、P1/Oの第1ポートからのパワー・コントロール入力信号があることをマイクログリッドコンピュータのROMに記憶されているプログラム命令によってマイクログリッドコンピュータが検出すれば、レジスタREの中で割り付けられたデータ・レジスタにCPUや各I/Oコントローラのパワー・コントロール・ビットを設定 (セット) して、このデータ・レジスタの内容をマイクログリッドコンピュータのI/Oポートに出力して、システムの電源を制御するように構成されている。

【0297】即ち、図30の構成では、CPUや各I/Oコントローラを個々に制御しないで、主にシステム動作時、非動作時に応じてパワー・コントロールする。【0298】クロック周波数のコントロールは図29の場合と同様に、マイクログリッドコンピュータのI/Oポートから出力されるクロック・コントロール信号によって行われて、2つの出力信号を用いるときは、4段階のクロック周波数を設定することが可能である。例えばクロック・コントロール信号 (c2, c1) が (0, 0) のときには16MHz、(0, 1) のときには8MHz、(1, 0) のときには4MHz、(1, 1) のときには2MHzのように設定できる。

【0299】クロック周波数のコントロールは、電源コントロールと同じようにP1/Oからの入力信号をマイクログリッドコンピュータが検出して行われる。

【0300】マイクログリッドコンピュータのROMに記憶されたプログラム命令によって入力信号を検出する方法は、よく知られた方法であり、また、クロック・コントロール信号c2やクロック・コントロール信号c1によってクロック周波数をコントロールする回路は、通常の方法で実現できるので特に図示しない。

【0301】マイクログリッドコンピュータに供給される電源は、システム動作中において常にP1/Oからの入力信号を監視 (WATCH) していないなければならないので、電源の電圧VCCが供給される。

【0302】上述した図29や図30に示す構成におい

(27)

て、システム・アプリケーションによっては、CPUや各I/Oコントローラの個々の電源を制御する方法と、個々の電源を制御しないでまとめて共通電源にして制御する方法を組み合わせて、単一のマイコンコンピュータによってパワーコントロールすることも可能である。

【0303】図31は、本発明のパワー・コントロールの第6実施例の構成を示すブロック図である。

【0304】図31は、図7に示す構成と類似しているが、CPU、PI/O、SI/O、...、FMC、VDCのそれぞれが個別制御部PRを備えている場合の構成を示す。

【0305】図31の構成による動作は、図7の構成による動作と多少異なるが、CPU等がそれぞれ個別制御部PRを保持している図3の構成による動作と同様なので、ここでは説明を省略する。

【0306】なお、図17のクロック・ダウンスイッチ8のタイム・アウト値を設定する制御回路は、知られている方法で実現できるので特に図示していない。また、図20に示されるパワー・コントロール定値可能なフラグによるパワー・コントロールの制御回路も容易に実現できるので、図示していない。

【0307】第1実施例では、PI/OのSM18を抜出す例を示していないが、第2実施例のように、CPUやI/Oコントローラ自体でパワー・コントロールする制御では、PI/Oの個別制御部PRがSM18を抜出して、PI/OのD/Cバイアス・モードを設定する。

【0308】

【発明の効果】第1発明のデジタル電子機器用電力制御装置は、符号化された電力マネージメント命令を復号して電圧すると共に復号された電力マネージメント命令に基づいて制御信号を出力する制御手段を備えているので、効率よくデジタル電子機器の電力を制御できる。

【0309】第2発明のデジタル電子機器用電力制御装置を備えた処理装置は、電源を所定のモードに設定して、設定されたモードに基づいて入出力を制御して消費電力を低減するので、効率よく処理装置毎に個々に電力を制御できる。

【0310】第3発明のデジタル電子機器用電力管理システムは、処理装置の消費電力を所定の方法により制御してシステム全体の消費電力を低減するので、システム全体の電力を個々に制御して、自由度が高いデジタル電子機器用電力管理システムを構成でき、その結果、各構成部分で極めて細かくパワー・マネージメントを行ってシステム全体の消費電力を大きく低減できる。

【0311】本発明の処理装置は、外部に設けられたマイコンコンピュータにより電源またはクロック周波数を制御して電力消費を低減させるので、効率よく処理装置毎に個々に電力を制御できる。

【0312】本発明のデジタル電子機器用電力管理システムは、デジタル電子機器用電力制御装置が複数のプロ

グラム命令を有しており、デジタル電子機器用電力制御装置がシステムを構成する中央処理装置及び各種入出力コントローラの全てまたは一部に備えられており、デジタル電子機器用電力制御装置の複数のプログラム命令に基づいて中央処理装置及び各種入出力コントローラの電力制御を行ってシステム全体の電力消費を低減するので、システム全体の電力を個々に制御して、自由度が高いデジタル電子機器用電力管理システムを構成でき、その結果、各構成部分で極めて細かくパワー・マネージメントを行ってシステム全体の消費電力を大きく低減できる。

【図面の簡単な説明】

【図1】本発明のデジタル電子機器用電力管理装置の一例である実施例である個別制御部の構成を示すブロック図である。

【図2】図1の個別制御部の動作を説明するためのフローチャートである。

【図3】図1の個別制御部を備えたシステムの一構成例を示すブロック図である。

【図4】電源がフルパワー及びD/Cバイアスに変化したときの電源の動作を示す説明図。

【図5】図3のシステムの状態図である。

【図6】電源コントロール回路を用いたシステムの一構成例を示すブロック図である。

【図7】図6の電源コントロール回路を用いたシステムの一構成例を示すブロック図である。

【図8】図7のCPU部分の一構成例を示す説明図である。

【図9】図1の個別制御部を有する並列入出力コントローラの一構成例を示すブロック図である。

【図10】図9のコントローラに対応する個別制御部のレジスタの一構成例を示すブロック図である。

【図11】図9及び図10の並列入出力コントローラの状態図である。

【図12】図1の個別制御部を有する中央処理装置（CPU）の一構成例を示すブロック図である。

【図13】図12のCPUに対応する個別制御部のレジスタの一構成例を示すブロック図である。

【図14】図12及び図13のCPUの状態図である。

【図15】図7に示されたパワー・コントロールのブロック図に対応したパワー制御の信号線部と制御信号A、Bによってスイッチングされる電源の動きを示すタイミング・チャートである。

【図16】本発明のパワー・コントロールの第2実施例であり個別制御部自体でも電源をコントロールできる構成を示す個別制御部のブロック図である。

【図17】図16の実施例の動作を説明するためのタイミング・チャートである。

【図18】個別制御部自体でパワー制御を行うときのシステムの一構成例を示すブロック図である。

【図19】図18のCPU部分の一構成例を示す説明図

(28)

である。

【図20】図1のPI/Oを構成する個別制御部の動作を説明するための第1のフローチャートである。

【図21】図1のPI/Oを構成する個別制御部の動作を説明するための第2のフローチャートである。

【図22】図1のPI/Oを構成する個別制御部の動作を説明するための第3のフローチャートである。

【図23】図20の処理1を説明するためのフローチャートである。

【図24】図21の処理2を説明するためのフローチャートである。

【図25】図21と図22の処理3を説明するためのフローチャートである。

【図26】図22の処理4を説明するためのフローチャートである。

【図27】図22の処理5を説明するためのフローチャートである。

【図28】本発明のパワー・コントロールの第3実施例である第1実施例及び第2実施例を組合わせた構成を示すブロック図である。

【図29】本発明のパワー・コントロールの第4実施例の構成を示すブロック図である。

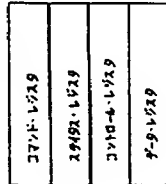
【図30】本発明のパワー・コントロールの第5実施例の構成を示すブロック図である。

【図31】本発明のパワー・コントロールの第6実施例の構成を示すブロック図である。

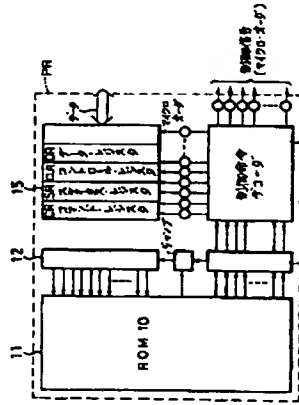
【符号の説明】

- 10 リードオンリメモリ (ROM)
- 11 プログラム記憶部
- 12 アドレスカウンタ
- 13 制御命令レジスタ
- 14 制御命令デコーダ
- 15 レジスタ・グループ

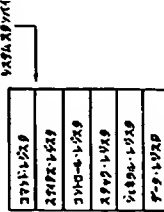
【図10】



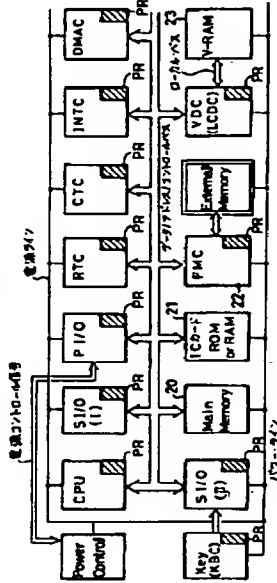
【図11】



【図13】



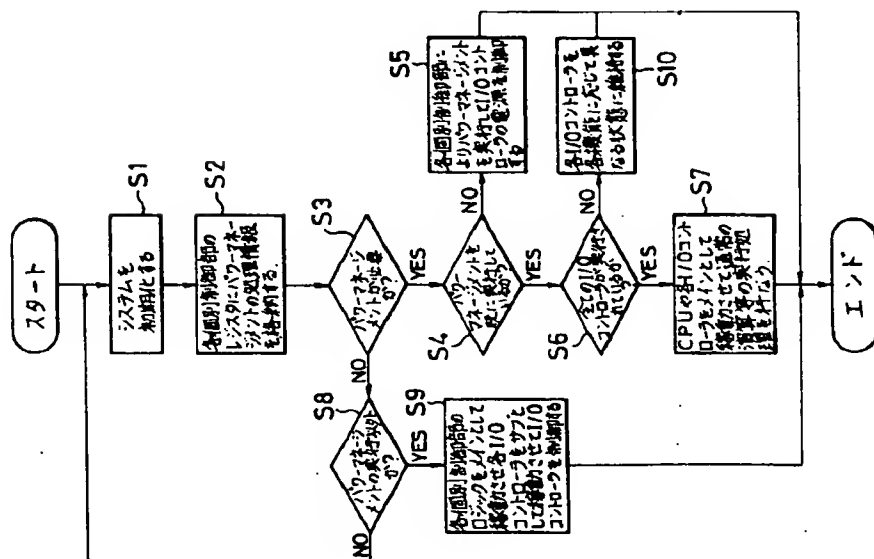
【図3】



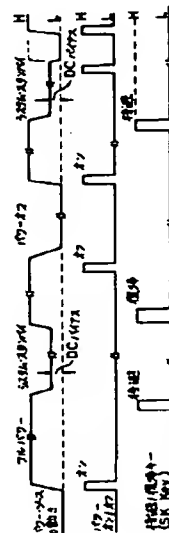


(29)

【図2】

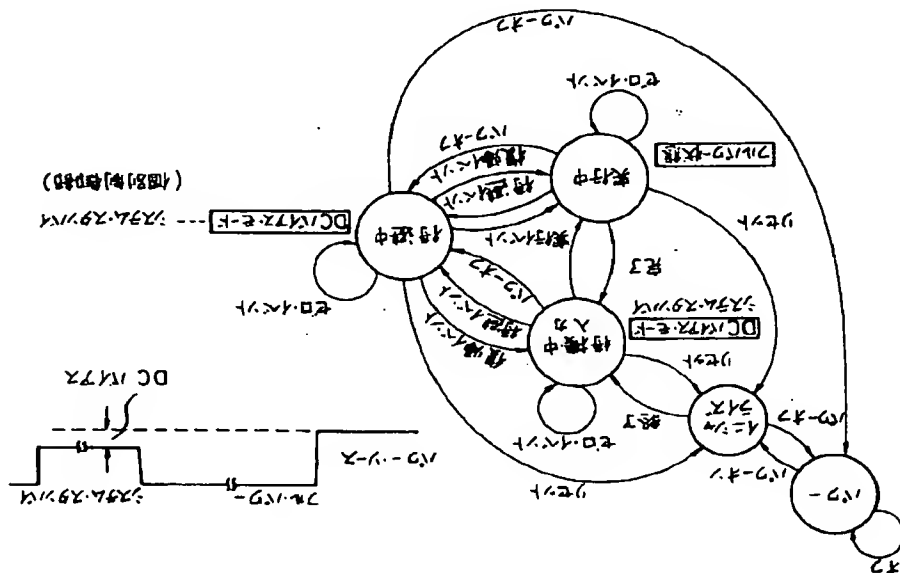


【図4】

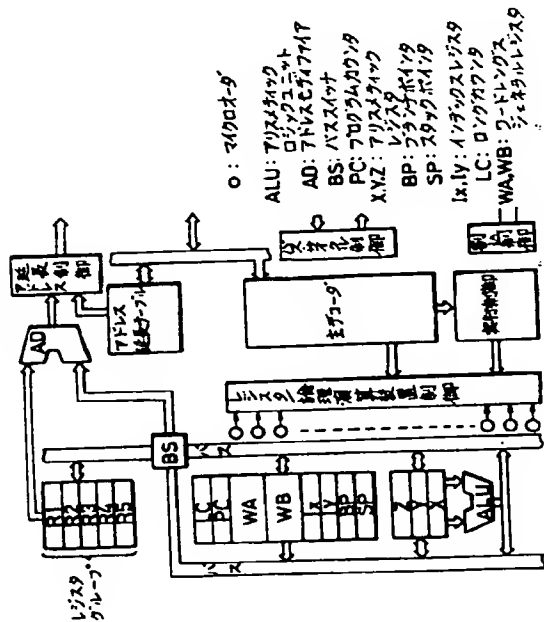
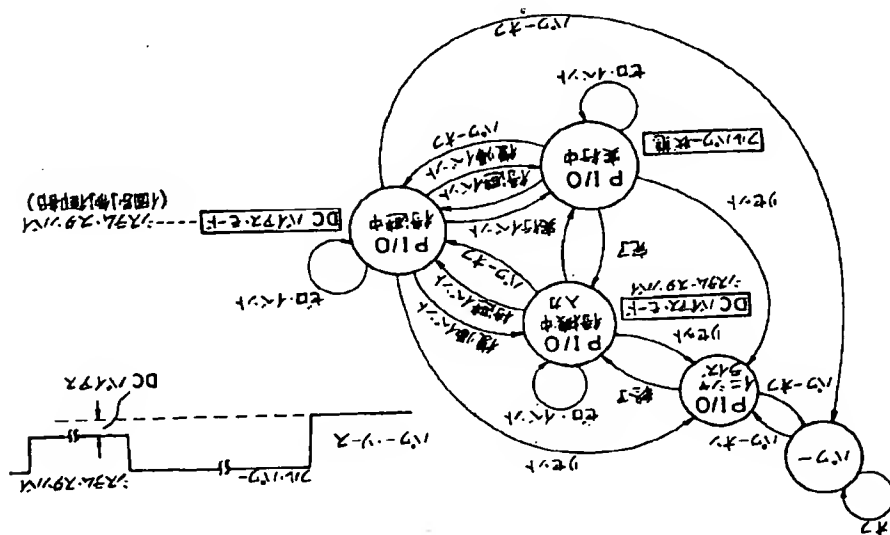


(30)

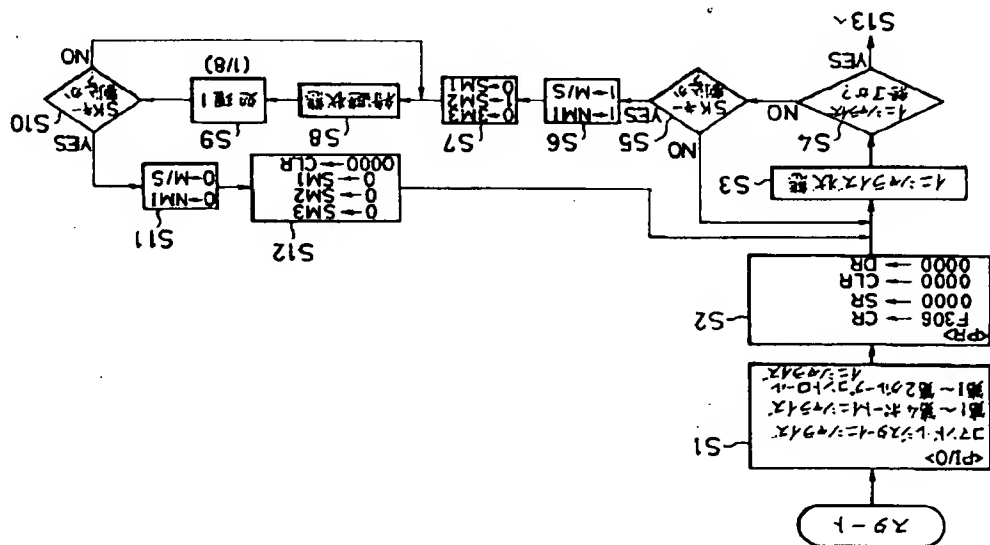
【図5】





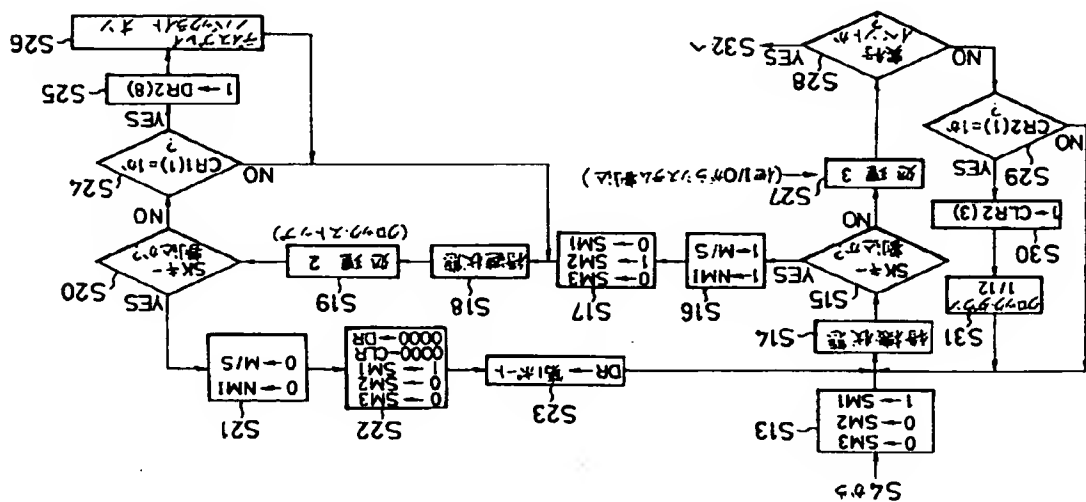






**【例20】**

(37)



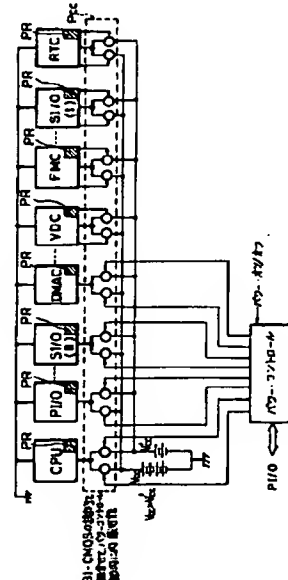
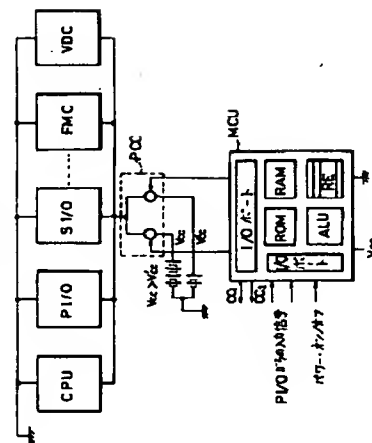
【图21】

(38)

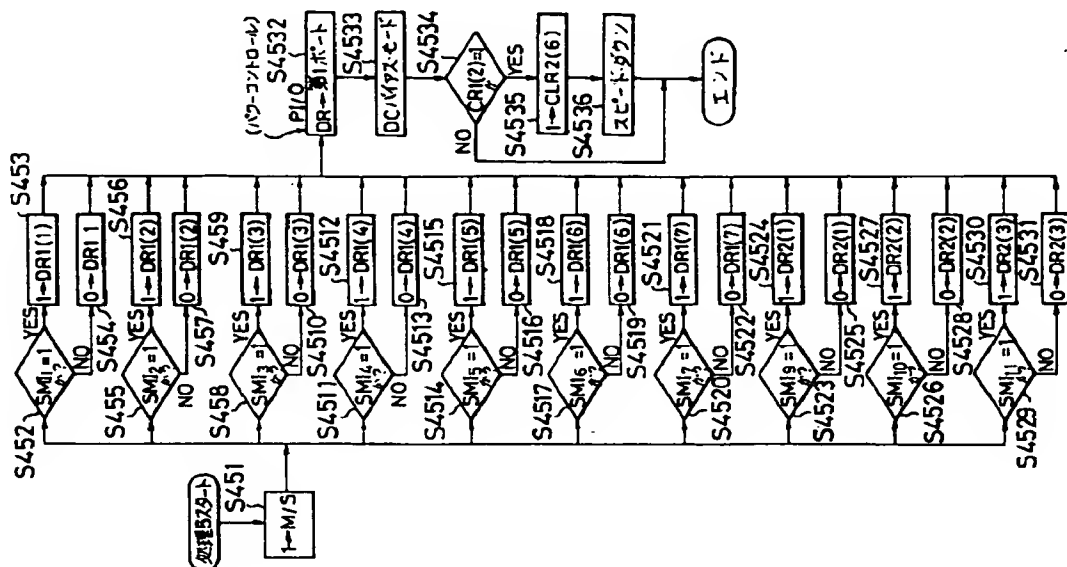


(17)

**【例30】**

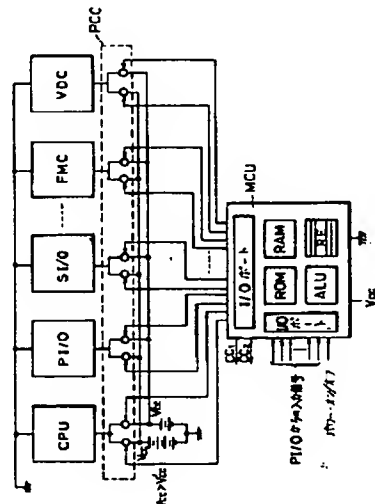


【圖26】

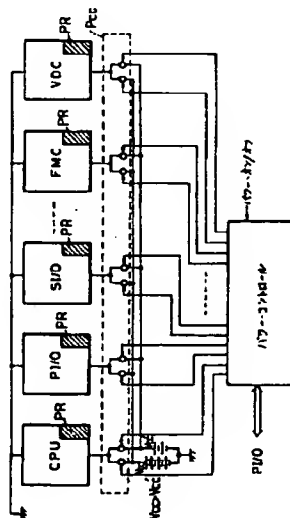


(43)

【図29】



【図31】



【手続修正1】

【発出日】平成6年5月23日

【手続修正1】

【補正対象項目名】明細書

【補正方法】変更

【補正対象項目名】0222

【手続修正2】

【補正方法】変更

【補正対象項目名】0222

【手続修正3】

【補正方法】変更

【補正対象項目名】0222

【手続修正4】

【補正方法】変更

【補正対象項目名】0222

【手続修正5】

【発出日】平成6年5月23日

【手続修正5】

【補正対象項目名】明細書

【補正方法】変更

【補正対象項目名】0284

【手続修正6】

【補正方法】変更

【補正対象項目名】0284

【手続修正7】

【補正方法】変更

【補正対象項目名】0284

【手続修正8】

【補正方法】変更

【補正対象項目名】明細書

(44)

【補正対象項目名】0305

【補正方法】変更

【補正内容】

【0305】図31の構成による動作は、図7の構成による動作と多少異なるが、CPU等がそれぞれ個別制御部PRを持つ図3の構成による動作と同様なシステムを、ここでは説明を省略する。図34は、図3に示されるシステムを図31に示すようにパワーコントロール部でパワー制御を行うようにしたものである。

【手続修正4】

【補正対象項目名】明細書

【補正対象項目名】図32

【補正方法】追加

【補正内容】

【図32】個別制御部によって分段的にパワーマネージメントされるシステムのLSI化を示すブロック図である。

【手続修正5】

【補正対象項目名】明細書

【補正対象項目名】図33

【補正方法】追加

【補正内容】

【図33】個別制御部によって分段的にパワーマネージメントされるシステムのLSI化を示す他のブロック図である。

【手続修正6】

【補正対象項目名】明細書

【補正対象項目名】図34

【補正方法】追加

【補正内容】

【図34】個別制御部によって分段的にパワーマネージメントされるシステムのLSI化を示す他のブロック図である。

【手続修正7】

【補正対象項目名】図面

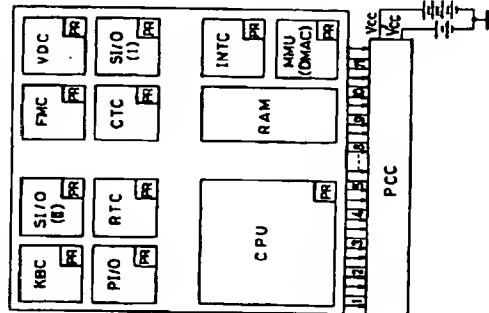
【補正対象項目名】図32

【補正方法】追加

【補正内容】

【図32】

図32



【手続修正8】

【補正対象項目名】図面

【補正対象項目名】図33

【補正方法】追加

【補正内容】

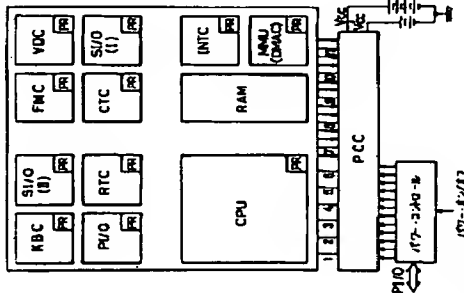
【図33】



(45)

図 38 【補正内容】

【図 3 4】



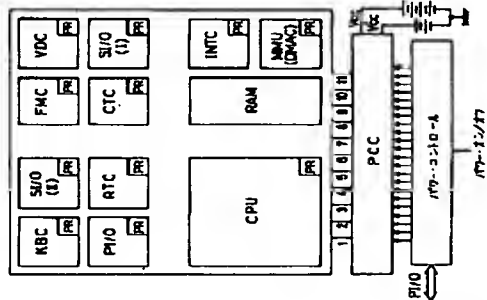
【手続補正 9】

【補正対象書類名】 図面

【補正対象項目名】 図 3 4

【補正方法】 追加

図 34



フロントページの続き

(51) Int. Cl. 5

識別記号 7165-5B

FI G 06 F 1/00 3 3 2 Z

技術表示箇所